

## KATA PENGANTAR

*Alhamdulillahirobbil'aalamin*, Segala puja dan puji syukur penulis panjatkan kepada Allah yang Maha Penyayang, tanpa karunia dan pertolongannya mustahil naskah buku ini terselesaikan, mengingat tugas dan kewajiban lain yang bersamaan hadir.

Buku ini ditulis bersamaan berdasarkan keinginan penulis yang sering mengamati perilaku mahasiswi di kampus, para mahasiswi dalam praktik di tehnik digital elektro butuh panduan buku khusus, dan buku tersebut merupakan bagian terpenting dalam mengoperasikan praktikum sistim digital secara virtual .

Terselesainya penulisan buku ini tidak terlepas dari bantuan beberapa pihak, karena itu penulis menyampaikan terima kasih kepada dekan Fakultas Teknik Universitas Muhammadiyah Sidoarjo yang telah memberi kesempatan untuk menulis buku. Penulis juga menyampaikan ucapan terima kasih kepada LP3I Universitas Muhammadiyah Sidoarjo atas kemudahan yang telah diberikan benar-benar bermanfaat bagi penulis untuk belajar menjadi pribadi yang lebih baik. Selain itu penulis juga menyampaikan rasa terima kasih kepada segenap pengelola Program Studi tehnik elektro Universitas Muhammadiyah Sidoarjo untuk semua bantuannya.

Penulis menyadari bahwa buku ini masih mempunyai kelemahan sebagai kekurangannya, meskipun telah berusaha menghindarkan kesalahan, karena itu penulis berharap agar pembaca berkenan menyampaikan kritikan, dengan segala pengharapan dan keterbukaan penulis menyampaikan terima kasih dengan setulus-tulusnya. Kritik merupakan perhatian agar dapat menuju kesempurnaan.

Akhir kata, penulis berharap agar buku ini dapat membawa manfaat kepada pembaca. Secara khusus penulis berharap smoga buku ini dapat membantu mahasiswa.

Sidoarjo, April 2018  
Penulis

Arief Wisaksono

# PERCOBAAN I

## PENGENALAN GERBANG LOGIKA DASAR

### 1.1 TUJUAN

Setelah melakukan uji coba secara virtual bab ini, peserta praktikum diharapkan mampu :

- Menguasai pengoperasian gerbang logika dasar
- Merancang dasar-dasar diagram logika
- Menjalankan modul diagram logika

### 1.2 PERALATAN

1. Software Multimedia Logic

### 1.3 DASAR TEORI

#### 1. Gerbang AND

Logika AND ditulis  $F = X * Y$ , keluaran Logika F menjadi 1 semua masukannya X dan Y memiliki nilai 1 dan keluaran F menjadi 0 jika nilai X dan Y yang lainnya.

*\*Simbol Gerbang AND*



Tabel Kebenaran

X	Y	F
0	0	0
0	1	0
1	0	0
1	1	1

#### 2. Gerbang OR

Logika OR dinyatakan dalam  $F = X + Y$ , dan keluaran Logika F menjadi '0' hanya ketika kedua masukan '0' dan F menjadi '1' pada nilai X dan Y yang lain.

**\*Simbol Gerbang OR**



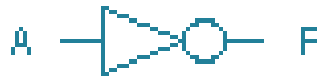
Tabel Kebenaran

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

**3. Gerbang NOT (Inverter)**

Logika NOT juga dikenal sebagai *Inverter* dan dinyatakan sebagai  $X=A$ , nilai keluaran X merupakan negasi dari masukan A memiliki nilai "1", maka nilai keluaran X menjadi "0" demikian sebaliknya.

**\*Simbol Gerbang NOT**



Tabel Kebenaran

A	F
0	1
1	0

**4. Gerbang NAND**

Logika NAND dinyatakan sebagai  $X = X*Y$  dan keluaran X memiliki nilai 0 ketika kedua masukan A dan B memiliki nilai 1 dan 1 untuk nilai yang lain.

**\*Simbol Gerbang NAND**



Tabel Kebenaran

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

**5. Gerbang NOR**

Logika NOR dinyatakan sebagai  $X = A+B$ , dan keluaran X memiliki nilai 1 ketika kedua masukan A dan B bernilai 0 dan keluaran X menjadi 0 untuk nilai-nilai masukan yang lain.

*\*Simbol Gerbang NOR*



Tabel Kebenaran

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	0

## 6. Exclusive-OR

Logika X-OR dinyatakan sebagai  $F = (X \cdot \bar{Y}) + (\bar{X} \cdot Y) = X \oplus Y$  dan keluaran menjadi 0 ketika masukan A dan B pada level yang samadan keluaran X memiliki nilai 1 ketika masukan pada level yang berbeda.

*\*Simbol Gerbang X-OR*



Tabel Kebenaran

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0

## 7. Gerbang X-NOR

Rangkain X-NOR dinyatakan sebagai  $F = (X \oplus Y) = X \odot Y$  dan keluaran menjadi 1 ketika kedua masukan pada level yang sama dan keluaran F memiliki nilai 0 ketika kedua masukan berada pada level yang berbeda.

*\*Simbol Gerbang X-NOR*

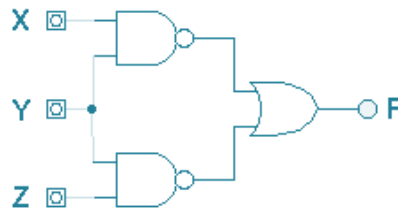


Tabel Kebenaran

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	1

## 1.4 PROSEDUR

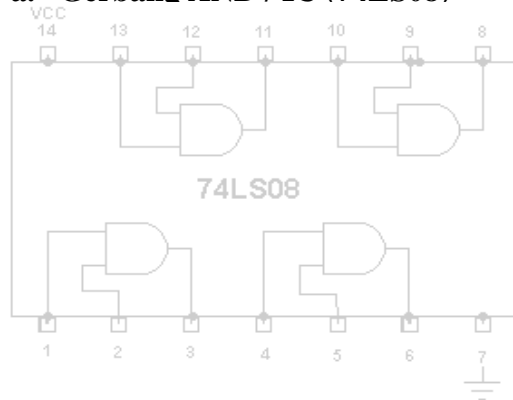
1. Buatlah rangkaian dengan menggunakan gerbang AND, OR, NOT, dan gabungan dari gerbang tersebut Not AND, Not OR, X-OR, X-NOR dengan menggunakan Software Multimedia Logic kemudian buat table kebenaran dari gerbang tersebut.
2. Dengan menggunakan Software Multimedia Logic, buatlah rangkaian di bawah ini.



## 1.5 HASIL PERCOBAAN

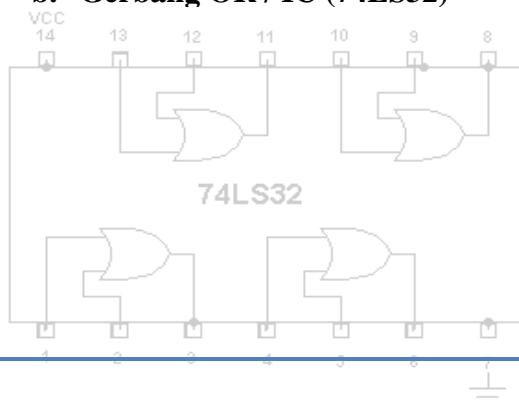
1. Setelah dilakukan percobaan didapat data sebagai berikut :

### a. Gerbang AND / IC (74LS08)



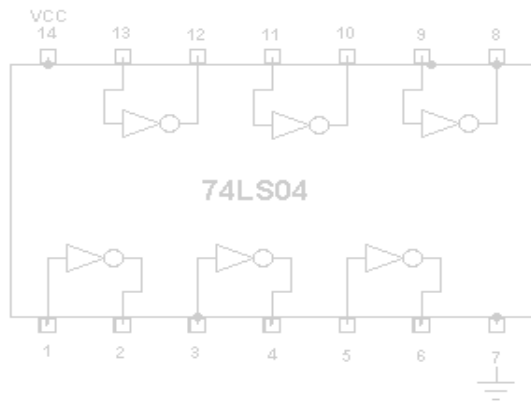
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

### b. Gerbang OR / IC (74LS32)



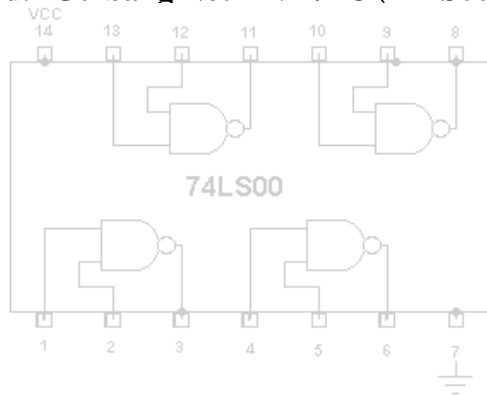
A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

**c. Gerbang NOT / IC (74LS04)**



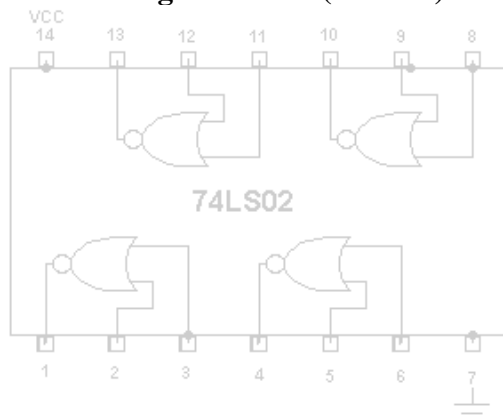
A	F
0	1
1	0

**d. Gerbang Not AND / IC (74LS00)**



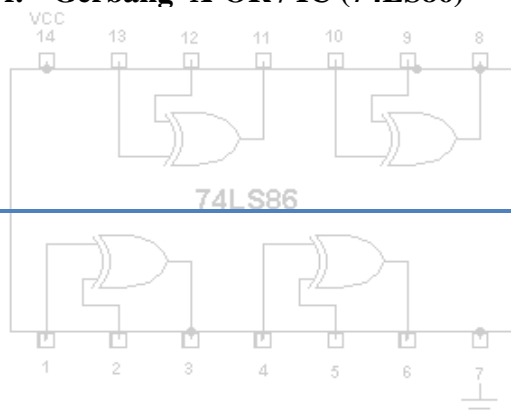
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

**e. Gerbang NOR / IC (74LS02)**



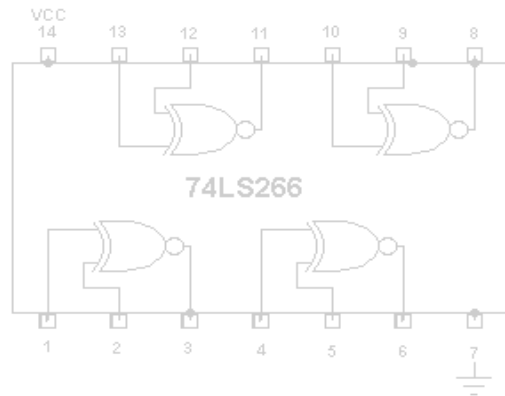
A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

**f. Gerbang X-OR / IC (74LS86)**



A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

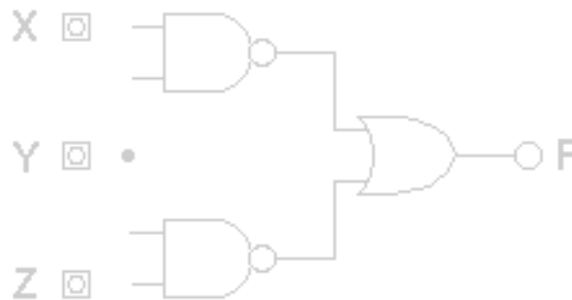
**g. GerbangX-NOR / IC (74LS266)**



A	B	F
0	0	1
0	1	0
1	0	0
1	1	1

2. Data yang didapat setelah dilakukan percobaan :

a) Logika Logic.



b) Persamaan dari Logika diatas :  $F = \overline{(X*Y)} + \overline{(Y*Z)}$

c) Tabel kebenaran.

X	Y	Z	F
0	0	0	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0



## PERCOBAAN II

### PENYEDERHANAAN CIRCUIT LOGIKA (MENGUNAKAN METODE K-MAP)

#### 2.1. TUJUAN

Setelah menyelesaikan uji coba bab ini, peserta praktikum diharapkan mampu:

1. Membangun diagram LOGIKA dari persamaan dan table kebenaran secara virtual .
2. mengaplikasikan K-Map untuk ke dalam desain diagan LOGIKA.

#### 2.2. PERALATAN

1. Modul

Softwere Multimedia Logic

#### 2.3. TEORI

**Peta** Karnaugh (Karnaugh Map, K-Map) dapat digunakan untuk menyederhanakan persamaan logika yang menggunakan paling banyak enam variabel. Dalam laporan ini hanya akan dibahas penyederhanaan persamaan logika hingga empat variable. Penggunaan persamaan logika dengan lima atau enam variable disarankan menggunakan program computer.

Peta merupakan gambar suatu daerah. Peta karnaugh menggambarkan daerah logika yang telah dijabarkan pada tabel kebenaran. Penggambaran daerah pada peta karnaugh harus mencakup semua logika. Daerah pada peta karnaugh dapat tumpang tindih antara satu kombinasi variable dengan kombinasi variabel yang lain. Sebagai contoh adalah persamaan logika dua variabel  $X =$ . Peta Karnaugh untuk persamaan tersebut harus mencakup semua kombinasi kedua variabelnya, yaitu, B, AB, A. Peta Karnaugh untuk persamaan tersebut dapat dilihat pada Gambar (a). Sedangkan Peta Karnaugh untuk 3 dan 4 variabel dapat dilihat pada Gambar (b) dan (c).

	A'	A
B'	A'B'	AB'
B	A'B	AB

		AB			
	C	A'B'	A'B	AB'	
C'		A'B'C'	A'BC'	ABC'	AB'C'
		A'B'BC'	A'BC	ABC	AB'C

		AB			
	CD	00	01	11	10
00		A'B'C'D'	A'BC'D'	ABC'D'	AB'C'D'
01		A'B'CD	A'BCD	ABC'D	AB'C'D
11		A'B'CD	A'BCD	ABCD	AB'CD
10		A'B'CD'	A'BCD'	ABCD'	AB'CD'

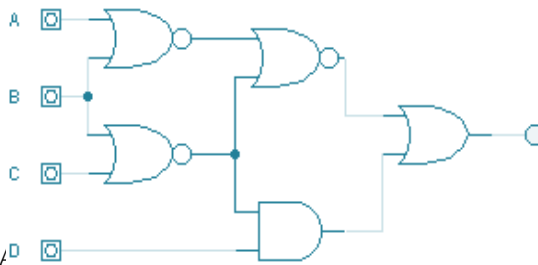
Peta Karnaugh untuk : (a) 2 variabel. (b) 3 variabel dan (c) variabel

## 2.4 PROSEDUR PERCOBAAN

1. Sederhanakan persamaan dibawah dengan menggunakan K-map. Kemudian Gambarkan diagram Logikanya dan buat tabelnya dengan menggunakan Software Multimedia Logic.

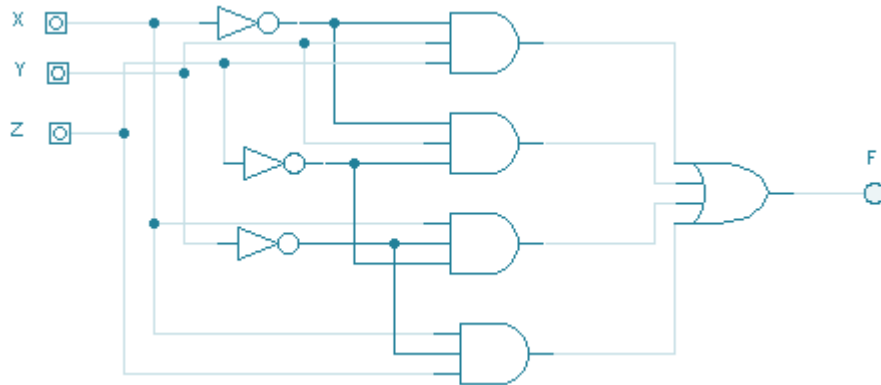
$$F = X.Y.Z + X.Y.Z + X.Y.Z + X.Y.Z$$

2. RAngkailah diagram dibawah ini pada Software Multimedia Logic dan tulislah tabelnya.



## 2.5 HASIL PERCOBAAN

$$1. F = \bar{X} \cdot Y \cdot Z + \bar{X} \cdot Y \cdot \bar{Z} + X \cdot \bar{Y} \cdot \bar{Z} + X \cdot \bar{Y} \cdot Z$$



Tabel Kebenaran :

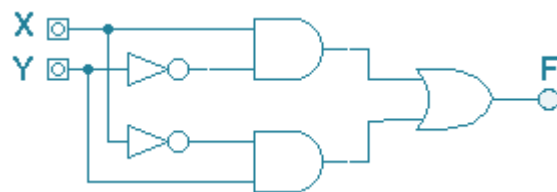
Masukan			Keluaran
X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Peta K-Map.:

	YZ	00	01	11	10
X	0	0	1	0	1
1	1	1	0	1	0

$$F = X \cdot \bar{Y} + \bar{X} \cdot Y \text{ atau } F = X \oplus Y$$

Gambar diagram logika



$$F = X \cdot \bar{Y} + \bar{X} \cdot Y$$

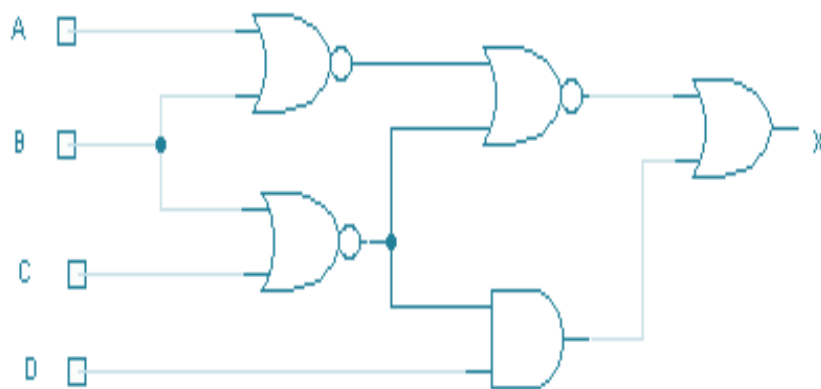
$$F = X \oplus Y$$



Tabelkebenaran :

Masukan		Keluaran
X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0

2. Logikalogika



Tabel kebenaran :

Masukan				Keluar an
A	B	C	D	X
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1

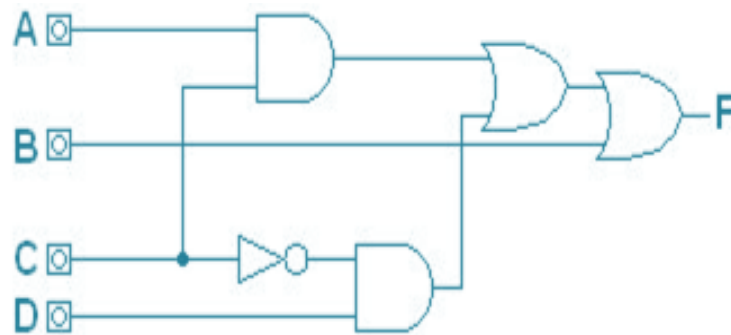
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Membuat K-map dari tabel kebenaran di atas didapat, sebagai berikut :

		CD			
		00	01	11	10
AB	00	0	1	0	0
	01	1	1	1	1
	11	1	1	1	1
	10	0	1	1	1

$$F = B + \bar{C}D + AC$$

Gerbang logika setelah disederhanakan



# PERCOBAAN III

## LOGIKA ARITMATIKA DIGITAL

### 3.1 TUJUAN :

Dari hasil ujicoba bab ini peserta praktikum mampu :

- Menguasai Logika aritmetika digital berupa adder.
- Membuat Logika adder.

### 3.2 PERALATAN

1. Modul diagram logika
2. Software Multimedia Logic

### 3.3 TEORI

**Penyederhanaan half adder dengan menggunakan K-Map :**

- K-map untuk Sum :                      CIRCUIT LOGIKA nya:

Peta K-map Sum :

	B		
		0	1
A			
	0	0	1
	1	1	0



$$\begin{aligned} \text{Sum} &= \bar{A} \cdot B + A \cdot \bar{B} \\ &= A \oplus B \end{aligned}$$

- K-map untuk Cout:                      CIRCUIT LOGIKAnya :

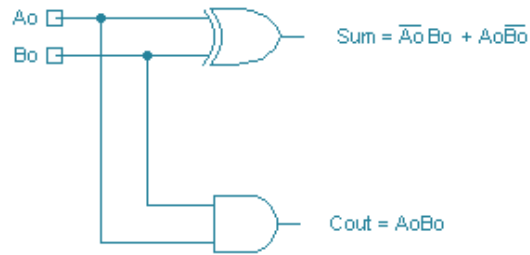
Peta K-map Cout

	B		
		0	1
A			
	0	0	0
	1	0	1

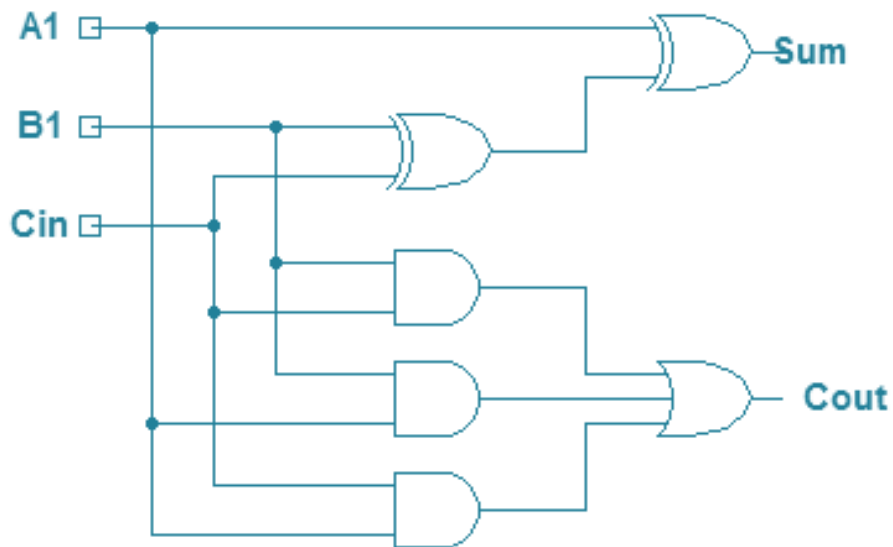


### 3.4 PROSEDUR

1. Menggunakan Software Multimedia Logic, mengimplementasikan Logika half adder, seperti diagram dibawah ini dan buat tablenya.



2. Seperti nomer 1, mengimplementasikan Logika full adder, seperti pada diagram dibawah ini dan buat tablenya dengan Software Multimedia Logic.

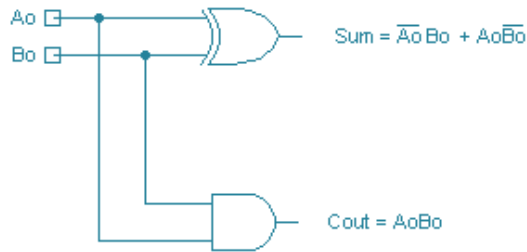


**TUGAS :**

1. Dengan menggunakan table kebenaran yang telah didapatkan dari percobaan, buat K-Map untuk masing-masing Logika aritmatika (half adder, full adder). Dari k-Map, didapatkan persamaan
2. kemudian gambarkan Logikanya sesuai dengan persamaan yang didapat. Bandingkan hasilnya dengan Logika awal (yang anda rangkai dalam modul) pada Software Multimedia Logic.

### 3.5 HASIL PERCOBAAN

#### 1. Membuat Gambar Half Adder

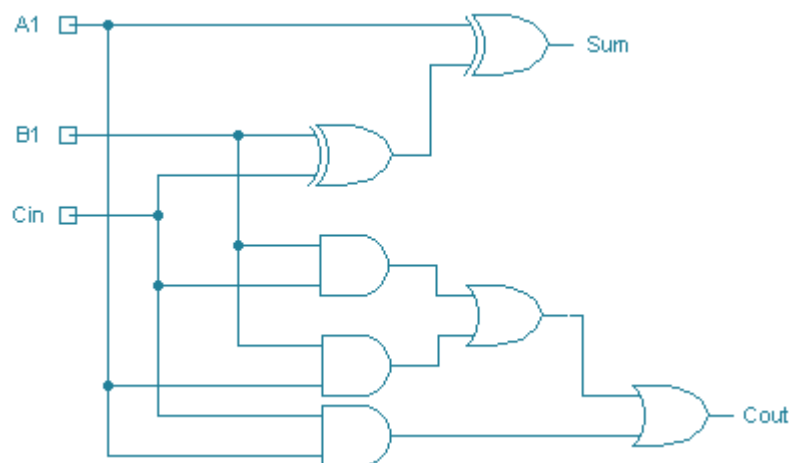


Untuk mencari table kebenaran dari gambar diatas harus dilakukan uji coba dan akan diperoleh table kebenaran sebagai berikut :

Tabel Kebenaran

Masukan		Keluaran	
Ao	Bo	Sum	Cout
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

#### 2. Membuat Gambar Full Adder



Untuk mencari table kebenaran dari gambar di atas harus dilakukan percobaan. Dari percobaan diperoleh table kebenaran sebagai berikut :



Tabel Kebenaran :

Masukan			Keluaran	
A	B	Cin	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

## **PERCOBAAN IV**

### **APLIKASI GERBANG-GERBANG LOGIKA 1**

#### **4.1 TUJUAN :**

Sesudah melakukan kegiatan ini , peserta praktikum mampu :

- Menguasai sifat umum dari logika NAND dan NOR.
- Menggantikan sebuah diagram LOGIKA yang terdiri dari beberapa diagram menjadi satu diagram yang terdiri dari diagram NAND atau diagram NOR saja.

#### **4.2 PERALATAN :**

1. Modul CIRCUIT LOGIKA
2. Software Multimedia Logic

#### **4.3 Teori**

##### **4.3.1 Gerbang NOR**

Diagram logika NOR (NOT-OR) adalah perpaduan dari diagram logika OR dan diagram logika NOT. Output diagram ini invers dari keluaran gerbang OR. Adapun simbolnya diberi tanda lingkaran kecil di keluaran gerbang aslinya.

Diagram logika NOR disebut gerbang umum karena dari gerbang ini dapat dibentuk dengan menggunakan fungsi beberapa gerbang yang lain, misalnya NOT, OR, AND.

Adanya sifat umum dari gerbang NOR menjadikan banyak gerbang logika yang dapat digantikan oleh gerbang NOR.

##### **4.3.2 Gerbang NAND**

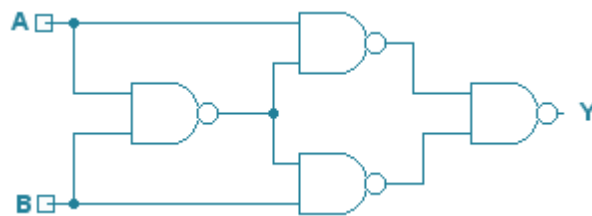
Diagram logika NAND (NOT-AND) merupakan perpaduan dari Diagram logika AND dan NOT. Output Diagram logika ini merupakan invers terhadap keluaran gerbang AND..

Notasi boole untuk gerbang NAND adalah tanda kali diikuti dengan pemberian garis di atasnya. A yang di-NAND-kan dengan B dinotasikan,

Diagram logika NAND disebut Diagram logika umum karena dari gerbang ini dapat dibentuk fungsi beberapa Diagram logika yang lain, misalnya NOT, OR, AND.

#### 4.4 PROSEDUR PERCOBAAN

1. Membuat Logika yang tersusun dari Diagram logika AND, OR, dan NOT. Coba anda periksa hasilnya.
2. Mengetahui persamaan :  $Y=A.B+A.C$
3. Membuat diagram Logika dengan hanya menggunakan gerbang NOR saja.
  1. Membuat diagram Logika yang terdiri NAND saja.



Logika Multilevel NAND

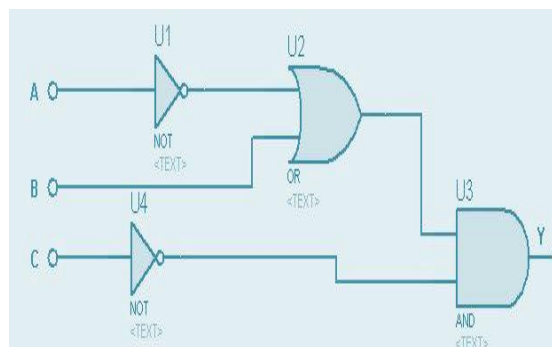
#### TUGAS :

1. Dengan menggunakan persamaan  $Y = \bar{A} \cdot B + A \cdot \bar{B}$  buatlah persamaan dengan menggunakan Gerbang NAND saja.
2. Dengan menggunakan persamaan  $Y = \bar{A} \cdot B + A \cdot \bar{B}$  buatlah persamaan hanya dengan menggunakan Gerbang NOR saja.

#### HASIL PERCOBAAN

1. Logika yang terdiri dari gerbang AND, OR, dan NOT.

- Gambar Logika



A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

- Tabel Kebenaran

$$\begin{aligned}
 3. \quad F &= \overline{\overline{A(A \cdot B)} \cdot \overline{B(A \cdot B)}} \\
 &= \overline{\overline{A(A \cdot B)} + \overline{B(A \cdot B)}} \\
 &= \overline{A(\overline{A \cdot B}) + B(\overline{A \cdot B})} \\
 &= \overline{A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B})} \\
 &= \overline{A\overline{A} + A\overline{B} + B\overline{A} + B\overline{B}} \\
 &= \overline{A\overline{B} + B\overline{A}}
 \end{aligned}$$

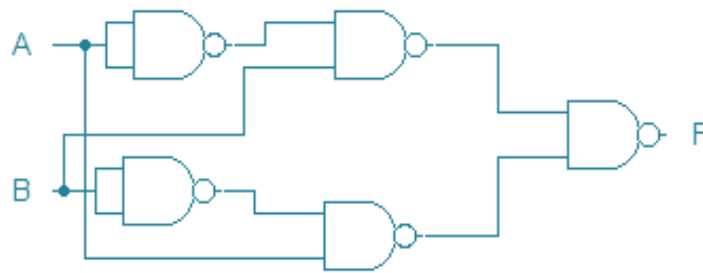
- Table kebenarannya

Masukan		Keluaran
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

- Jika menggunakan NAND saja :

$$\begin{aligned}
 F &= \overline{AB} + \overline{BA} \\
 &= \overline{\overline{\overline{AB} + \overline{BA}}} \\
 &= \overline{\overline{AB} \cdot \overline{BA}} \\
 &= \overline{AB} \cdot \overline{BA}
 \end{aligned}$$

- CIRCUIT LOGIKAnyanya :

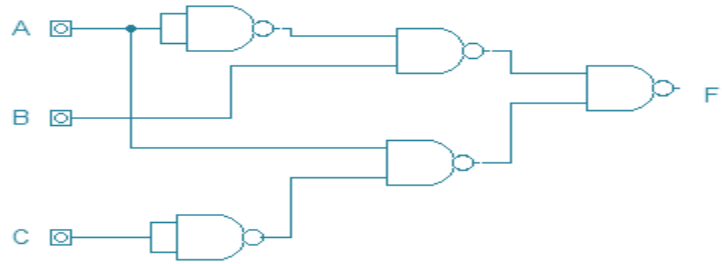


$$\begin{aligned}
 F &= \overline{AB} + \overline{AC} \\
 &= \overline{\overline{\overline{AB} + \overline{AC}}} \\
 &= \overline{\overline{AB} \cdot \overline{AC}} \\
 &= \overline{AB} \cdot \overline{AC}
 \end{aligned}$$

Table kebenarannya

Masukan			Keluaran
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

- CIRCUIT LOGIKAnyanya :



4. Jika menggunakan NOR saja

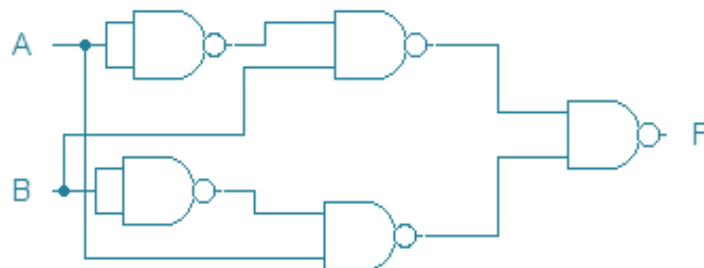
- Gambar Logika

- Tabel Kebenaran

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

5. Jika menggunakan NAND saja :

- Rangkaiannya adalah :



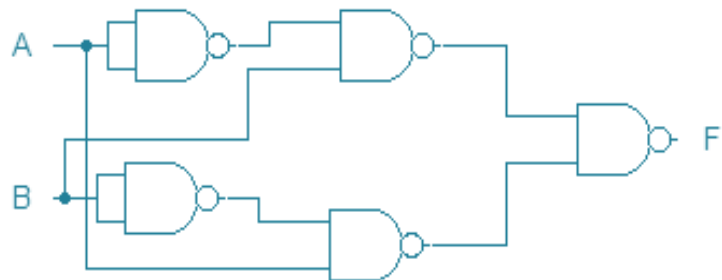
- Table kebenarannya

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

JAWABAN TUGAS :

$$\begin{aligned}
 1. \quad F &= \overline{A\overline{B}} + \overline{B\overline{A}} \\
 &= \overline{\overline{\overline{A\overline{B}}}} + \overline{\overline{\overline{B\overline{A}}}} \\
 &= \overline{\overline{A\overline{B}}} \cdot \overline{\overline{B\overline{A}}} \\
 &= \overline{A\overline{B}} \cdot \overline{B\overline{A}}
 \end{aligned}$$

- CIRCUIT LOGIKAny :  
A



- Tabel Kebenaran :

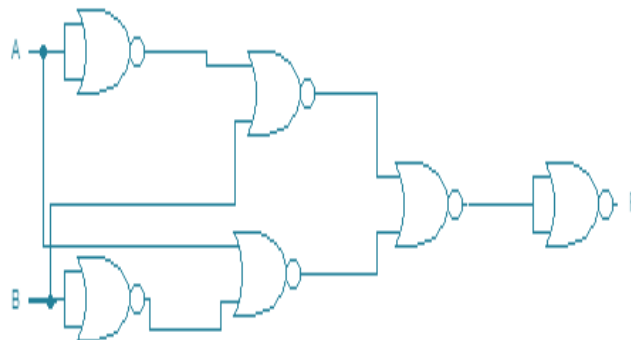
Masukan		Keluaran
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

$$\begin{aligned}
2. F &= \overline{A} \cdot B + A \cdot \overline{B} \\
&= \overline{\overline{\overline{A} \cdot B + A \cdot \overline{B}}} \\
&= \overline{(\overline{A \cdot B}) + (\overline{A \cdot \overline{B}})} \\
&= \overline{(\overline{A \cdot B}) + (\overline{A \cdot \overline{B}})} \\
&= \overline{(A + B) \cdot (\overline{A} + \overline{B})} \\
&= \overline{(A + B)} + \overline{(\overline{A} + \overline{B})}
\end{aligned}$$

- Tabel Kebenaran :

Masukan		Keluaran
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

- Gerbang Logikanya





## PERCOBAAN V

### APLIKASI GERBANG – GERBANG LOGIKA 2

#### 5.1 TUJUAN :

Dari kegiatan percobaan ini targetnya adalah mampu :

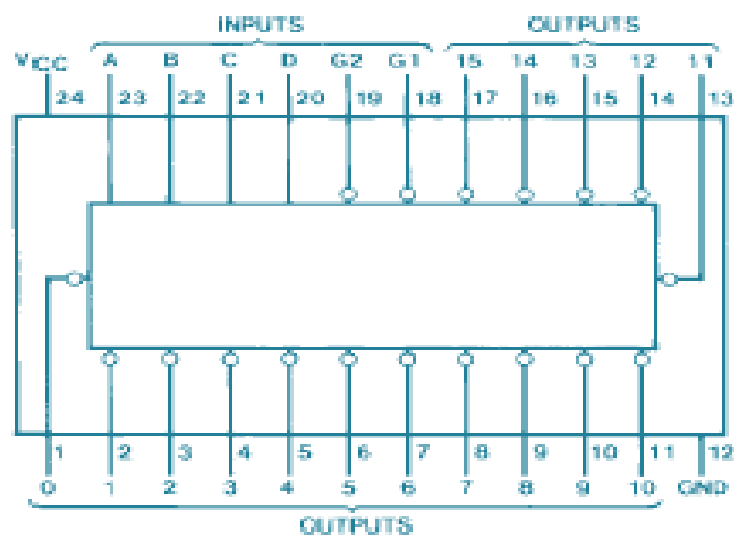
- Menguasai dasar dasar kerja dari Logika En coder dan Decoder.
- Mendesain Logika Encoder dan Decoder dari gerbang-gerbanglogika.
- Menguasai prinsip kerja Logika Multiplexer dan Demultiplexer.
- Mendesain Logika Multiplexer dari gerbang-gerbang logika.

#### 5.2 PERALATAN :

- a. Modul Logika logika
- b. Softwera Multimedia Logic

#### 5.3 TEORI

##### IC DECODER (74LS154)



Tabel Kebenaran Decoder

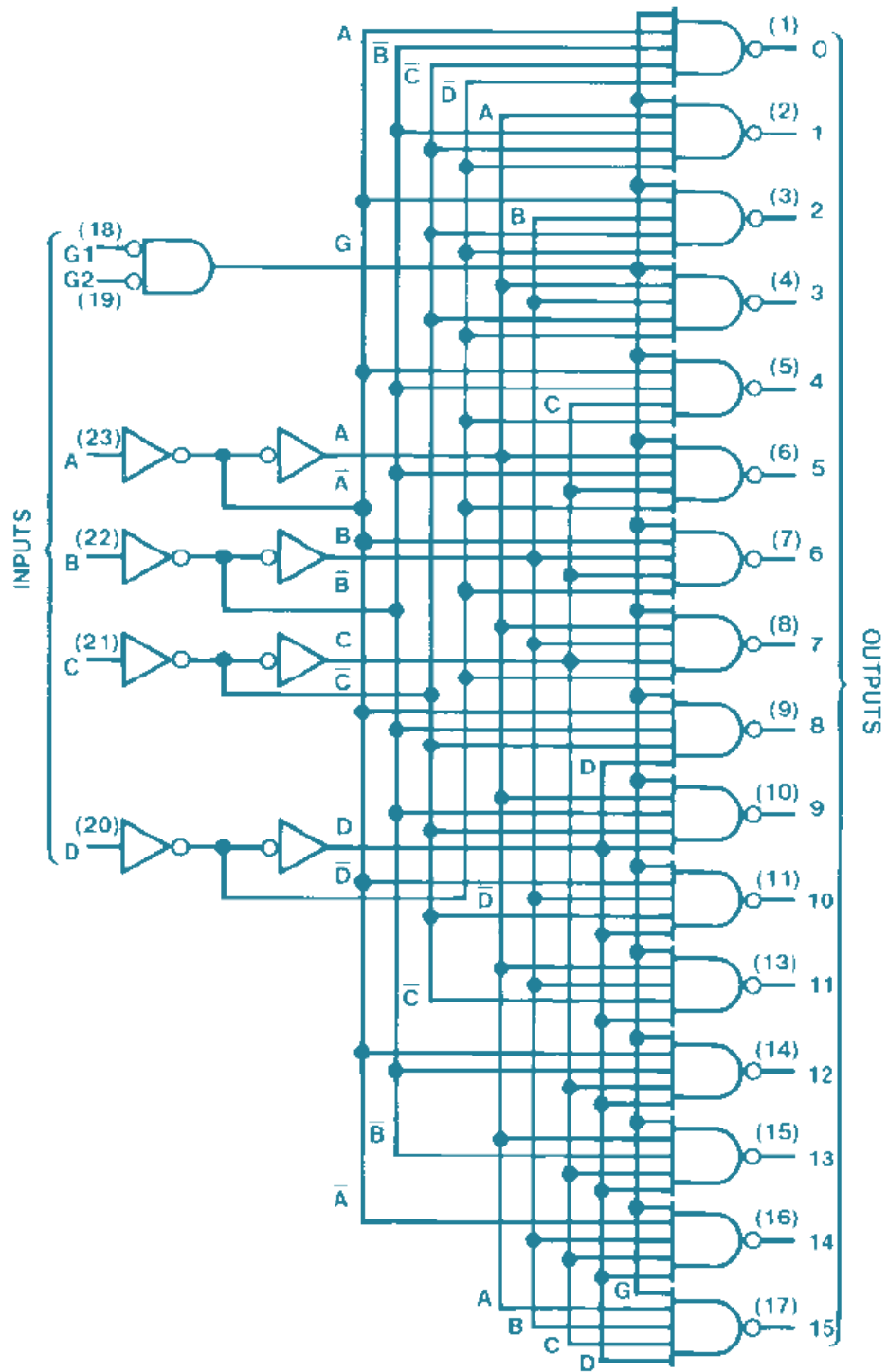
MASUKANS						KEUJARANS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	1					1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0					1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1					1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	0	1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Ket :

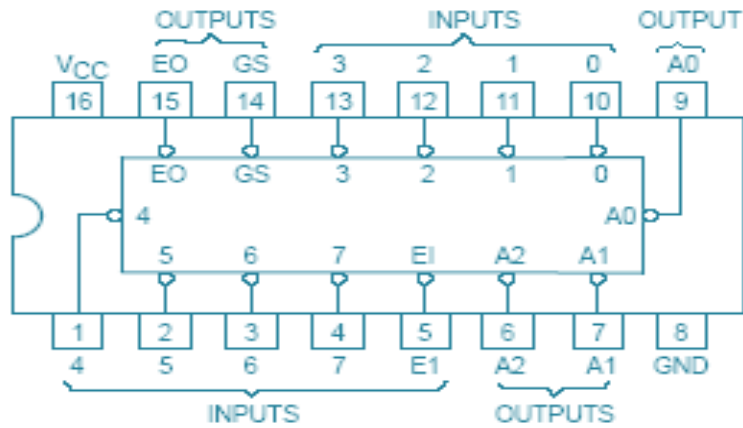
1 = High Level, 0 = Low Level,     = Don't Care

Dari table kebenaran di atas, jika menggunakan bentuk POS (Product of Sum),

- Logika Decoder



- IC ENCODER (74LS148)

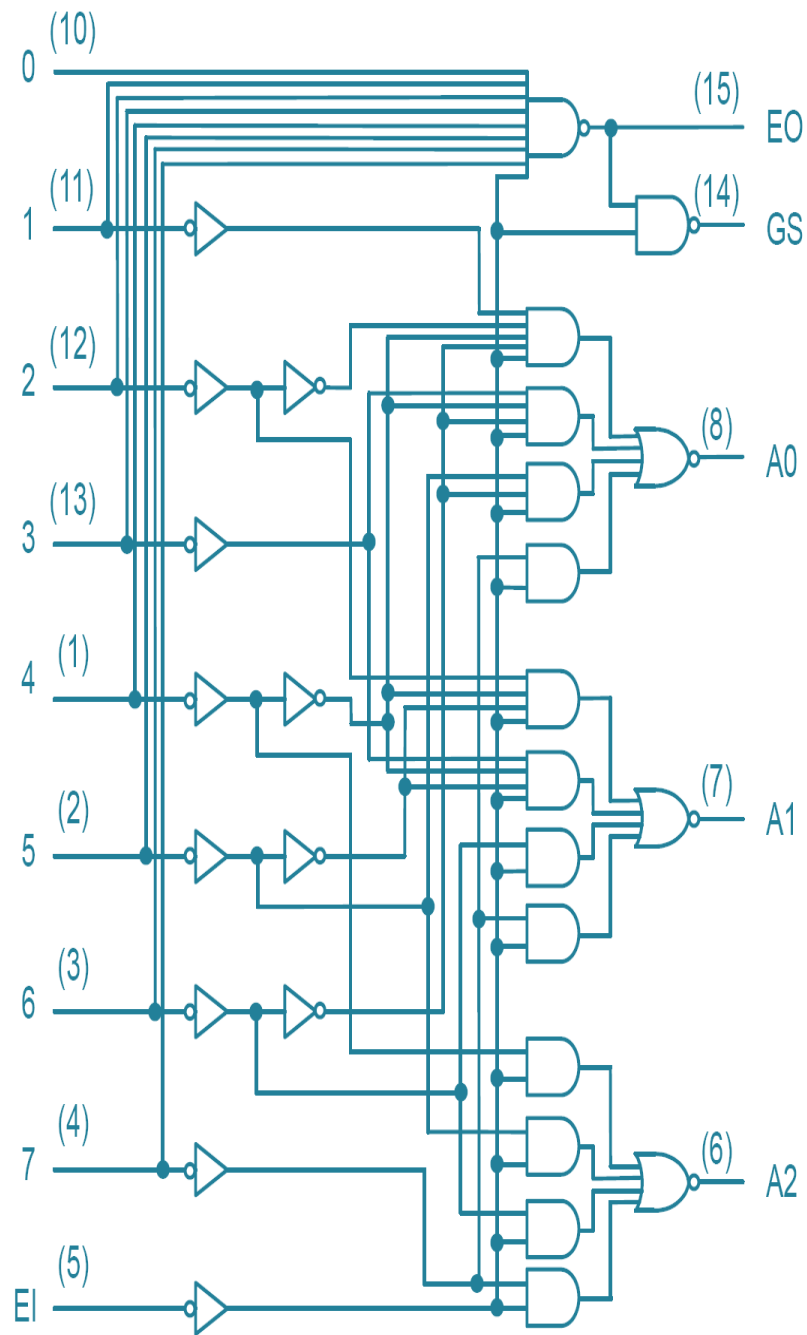


Tabel Kebenaran Encoder

MASUKANS									KEUJARAN				
E1	0	1	2	3	4	5	6	7	A2	A1	A0	GS	E0
1									1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1
0								0	0	0	0	0	1
0							0	1	0	0	1	0	1
0						0	1	1	0	1	0	0	1
0				0	1	1	1	1	1	0	0	0	1
0			0	1	1	1	1	1	1	0	1	0	1
0		0	1	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

Karnaugh map dari table kebenaran di atas tidak mungkin untuk digambar karena ada 8 masukan.

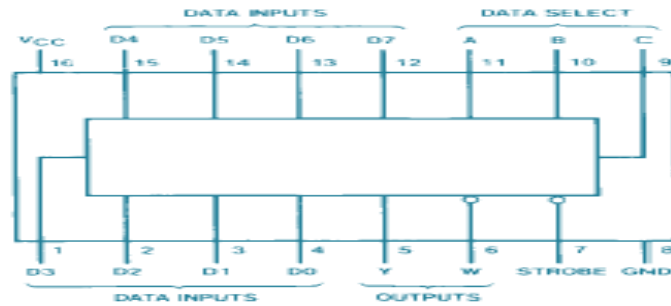
## LOGIKA ENCODER



Persamaan Logikanya:

# PERCOBAAN MULTIPLEXER

## 1. IC MULTIPLEXER (74LS151)

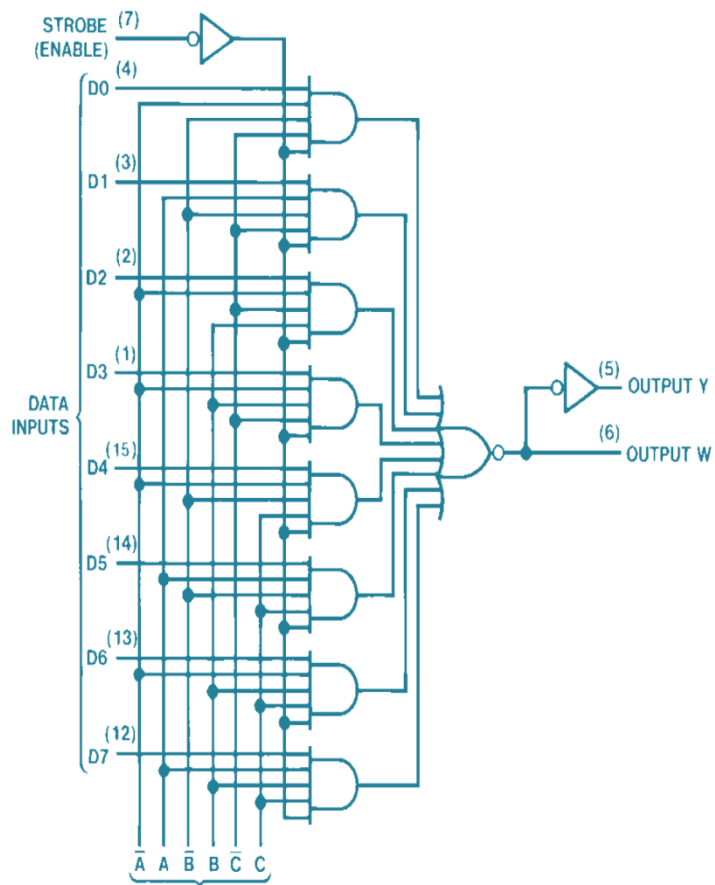


**Tabel Kebenaran**

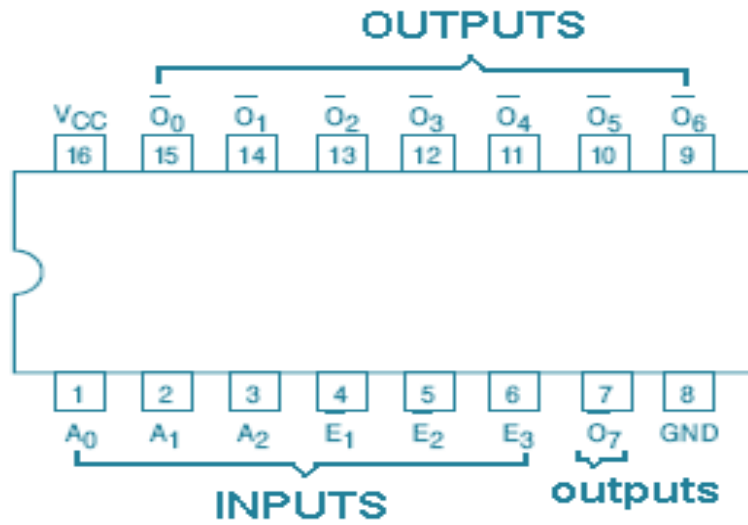
MASUKAN												KE LUARAN	
STROBE	SELECT			D0	D1	D2	D3	D4	D5	D6	D7	Y	W
	C	B	A										
1												0	
0	0	0	0	0								0	
0	0	0	0	1								1	
0	0	0	1		0							0	
0	0	0	1		1							1	
0	0	1	0			0						0	
0	0	1	0			1						1	
0	0	1	1				0					0	
0	0	1	1				1					1	
0	1	0	0					0				0	
0	1	0	0					1				1	
0	1	0	1						0			0	
0	1	0	1						1			1	
0	1	1	0							0		0	
0	1	1	0							1		1	
0	1	1	1								0	0	
0	1	1	1								1	1	

## LOGIKA MULTIPLEXER

Persamaan



- IC DEMULTIPLEXER (74LS138)



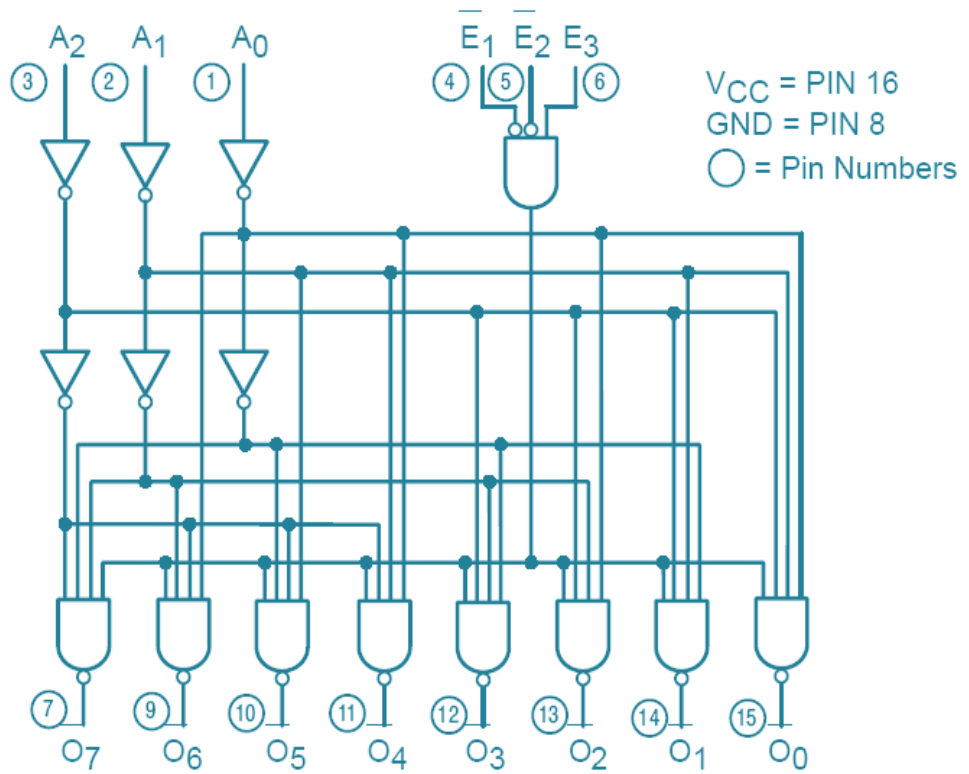
**Tabel Kebenaran**

MASUKAN												KE UARAN	
STROBE	SE OECT			D0	D1	D2	D3	D4	D5	D6	D7	Y	
S	C	B	A										
1												0	
0	0	0	0	0								0	
0	0	0	0	1								1	
0	0	0	1		0							0	
0	0	0	1		1							1	
0	0	1	0			0						0	
0	0	1	0			1						1	
0	0	1	1				0					0	
0	0	1	1				1					1	
0	1	0	0					0				0	
0	1	0	0					1				1	
0	1	0	1						0			0	
0	1	0	1						1			1	
0	1	1	0							0		0	
0	1	1	0							1		1	
0	1	1	1								0	0	
0	1	1	1								1	1	



Persamaan Logika :

▪ **CIRCUIT LOGIKA**



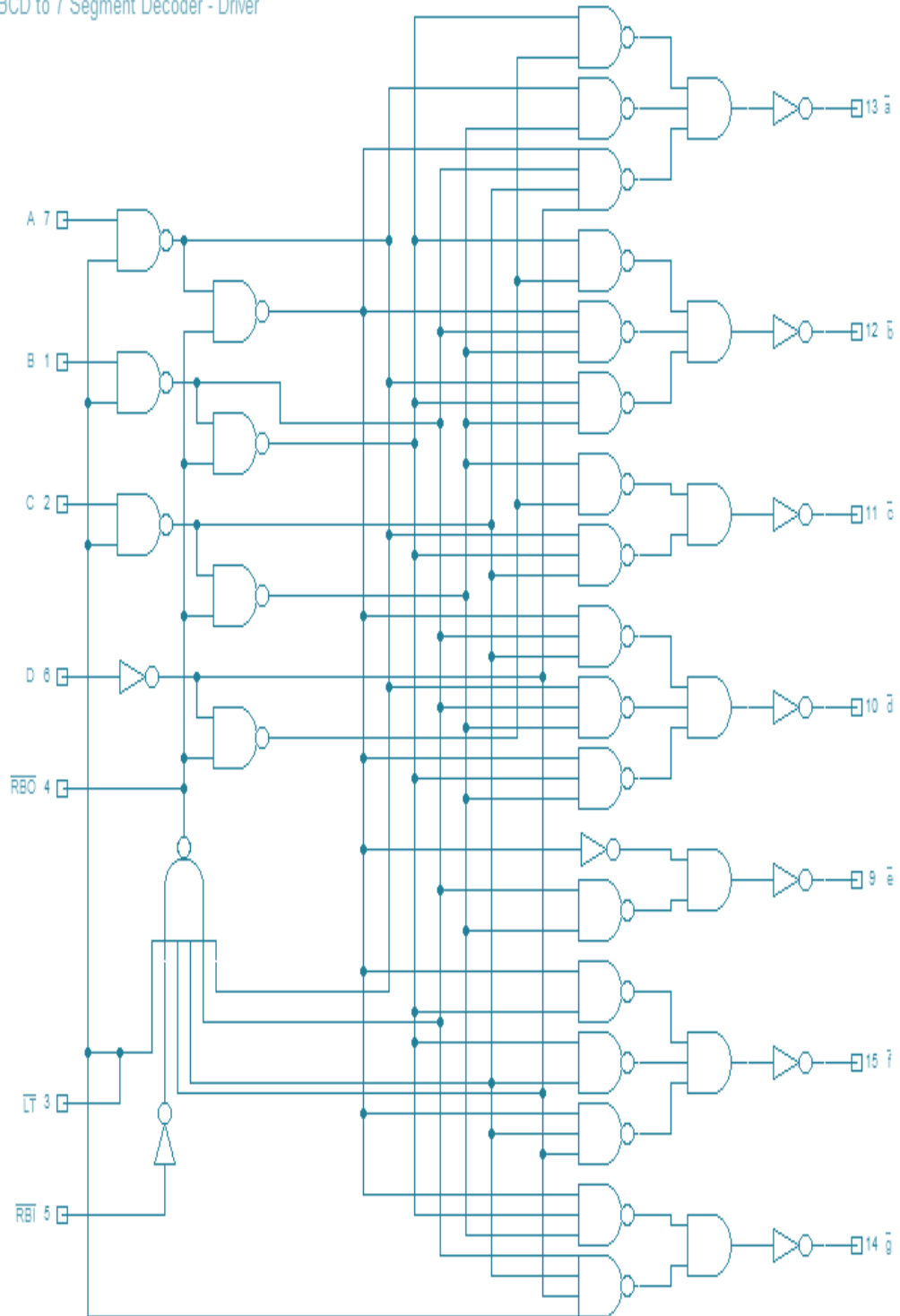
**Tabel Kebenaran:**

LT	BI	RBI	D	C	B	A	Play
X	0	X	X	X	X	X	Off
1	0	0	X	X	X	X	Off
1	1	1	0	0	0	0	0
1	1	1	0	0	0	1	1
1	1	1	0	0	1	0	2
1	1	1	0	0	1	1	3
1	1	1	0	1	0	0	4
1	1	1	0	1	0	1	5
1	1	1	0	1	1	0	6
1	1	1	0	1	1	1	7
1	1	1	1	0	0	0	8
1	1	1	1	0	0	1	9
1	1	1	1	0	1	0	
1	1	1	1	0	1	1	
1	1	1	1	1	0	0	
1	1	1	1	1	0	1	
1	1	1	1	1	1	0	
1	1	1	1	1	1	1	Off

▪ **CIUCUIT LOGIKA**

**74LS47**

BCD to 7 Segment Decoder - Driver



**Persamaan Logikanya :**

#### **5.4 PROSEDUR PERCOBAAN:**

##### **PERCOBAAN DECODER DAN ENCODER**

1. Membuat table kebenaran dari sebuah Decoder 4 x 16. Dapatkan keluarannya. Dari hasil masing - masing keluarannya, didapatkan persamaan logikanya. Membuat Logika decodernya dan dapat kan kebenaran dari Logika yang dibuat tersebut.
2. Membuat table kebenaran dari sebuah Encoder 10 x 4. Dapatkan keluarannya. Dari hasil masing - masing keluaran, didapatkan persamaan logikanya. Membuat Logika Encodernya, dan mendapatkan kebenaran dari Logikayang dibuat .

##### **PERCOBAAN MULTIPLEXER**

1. Membuat tabel kebenaran untuk Multiplexer yang melayani 4 data yang berbeda. Menentukan berapa select line yang harus digunakan. Dapatkan keluarannya.
2. Berdasarkan keluaran yang telah diperoleh, menentukan persamaan logikanya. Memuatlah Logika multiplexer, dan mendapatkan tabel kebenaran dari Logika yang telah dibuat.